

## BEST AVAILABLE COPY

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 64-013110

(43)Date of publication of application : 18.01.1989

(51)Int.Cl.

G02B 7/11  
G01J 9/00  
G03B 3/00

(21)Application number : 62-167906

(71)Applicant : FUJI PHOTO FILM CO LTD  
FUJITSU LTD

(22)Date of filing : 07.07.1987

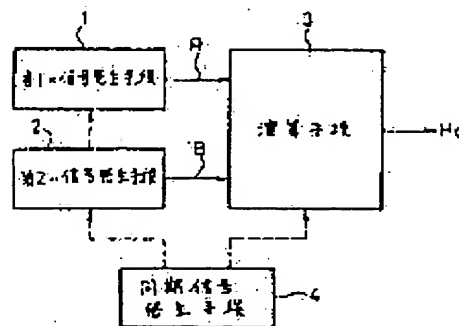
(72)Inventor : MITSUIDA TAKASHI  
OZAKI NOZOMI  
BABA SHIGENORI  
KOSAKA KUNIMITSU

## (54) PHASE DIFFERENCE DETECTING DEVICE

## (57)Abstract:

**PURPOSE:** To eliminate the need for providing separately a storage device, and to miniaturize the device by accumulating a signal generated by bringing an image-formation to a photoelectric conversion, in a CCD, and outputting it non-destructively through a floating gate.

**CONSTITUTION:** The titled device is provided with a first signal read-out part 1 for transferring a signal generated in a picture element of a first light receiving part, and also, outputting this signal in parallel through a floating gate of a CCD, and a second signal read-out part 2 for outputting in parallel a signal generated in a picture element of 1 second light receiving part. In this state, large/small relations of first and second signals to be operated are compared, and based on a control signal corresponding to the large/small relations of these signals, a switching element group is controlled and a charge corresponding to an integral value of an absolute value of a difference of the first and the second signals to be operated is generated in a switched capacitor integrator, and also, whenever a relative moving extent is varied, a prescribed number of integral values based on the first and the second signals to be operated are generated as correlation values. In such a way, a storage device for storing a large quantity of digital data is not required.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or



## ⑫ 公開特許公報(A)

昭64-13110

⑤ Int. Cl.<sup>4</sup>

識別記号

庁内整理番号

⑬ 公開 昭和64年(1989)1月18日

G 02 B 7/11  
G 01 J 9/00  
G 03 B 3/00

C-7403-2H

8707-2G

A-7403-2H

審査請求 未請求 発明の数 1 (全10頁)

⑭ 発明の名称 位相差検出装置

⑯ 特 願 昭62-167906

⑰ 出 願 昭62(1987)7月7日

⑱ 発 明 者 三 井 田 高 神奈川県足柄上郡開成町宮台798 富士写真フィルム株式  
会社内  
⑲ 発 明 者 尾 崎 望 神奈川県足柄上郡開成町宮台798 富士写真フィルム株式  
会社内  
⑳ 発 明 者 馬 場 重 典 神奈川県川崎市中原区上小田中1015番地 富士通株式会  
社内  
㉑ 出 願 人 富士写真フィルム株式 神奈川県南足柄市中沼210番地  
会社  
㉒ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地  
㉓ 代 理 人 弁理士 佐々木 清隆 外3名  
最終頁に続く

## 明 細 書

## 1. 発明の名称

位相差検出装置

## 2. 特許請求の範囲

撮影レンズを通過した被写体光束から得られる  
一対の結像の相対的な間隔を検出して該結像レン  
ズの合焦状態を判別する位相差検出装置において、  
前記第1の結像を受光するように一列に配置さ  
れた画素群からなる第1の受光部と、

該第1の受光部の夫々の画素に生じる信号を所  
定方向に転送させると共に、該信号をCCDのフ  
ローティングゲートを介して並列的に出力する第  
1の信号読出部と、

該第1の信号読出部から並列的に出力された信  
号を時系列の第1の被演算信号に変換して出力す  
る手段とを有する第1の信号発生手段と、

前記第2の結像を受光するように一列に配置さ  
れた画素群からなる第2の受光部と、

該第2の受光部の夫々の画素に生じる信号を

CCDのフローティングゲートを介して並列的に  
出力する第2の信号読出部と、

該第2の信号読出部から並列的に出力された信  
号を該第1の被演算信号に対して所定の相対移動  
量を有する時系列の第2の被演算信号に変化して  
出力する手段とを有する第2の信号発生手段と、

複数の容量素子及びこれらの容量素子間を断接  
するスイッチング素子群とを有し第1、第2の被  
演算信号が供給されるスイッチト・キャパシタ積  
分器と、

該第1、第2の被演算信号の大小関係を比較し  
てこれらの信号の大小関係に応じた制御信号を発  
生し、該制御信号に基づいて上記スイッチング素  
子群を制御することにより、第1、第2の被演算  
信号の差の絶対値の積分値に相当する電荷を上記  
スイッチト・キャパシタ積分器に発生させると共  
に、上記相対移動量を変化させる毎に所定数の第  
1、第2の被演算信号に基づく積分値を相関値と  
して発生させる制御手段とを具備したことを特徴  
とする位相差検出装置。

## 3. 発明の詳細な説明

## 〔産業上の利用分野〕

本発明は、例えばカメラの自動焦点検出装置などに適用される位相差検出装置に関し、特に、位相差検出の為に演算処理をアナログ信号処理にて行う位相差検出装置に関する。

## 〔従来例〕

従来の位相差検出装置をカメラの自動焦点検出装置に適用した場合について述べれば、撮影レンズの後方に位置するフィルム等画面の更に後方にコンデンサレンズ、セパレータレンズ及び位相差検出装置が順に配置され、この位相差検出装置は、セパレータレンズによって結像される一対の被写体像を光電変換するCCD等からなる一対のイメージセンサと、光電変換により発生した電気信号に基づき上記一対の被写体像の位相差を演算して合焦状態を判別する演算回路を備えている。

即ち、一方のイメージセンサより時系列的に出力される被演算信号 $B(k)$ と、他方のイメージセンサより時系列的に出力される被演算信号 $R(k)$

## 〔問題点を解決するための手段〕

本発明は、この様な問題点に鑑みて成されたものであり、高速かつ高精度で演算処理を行うとともに、簡素な構成にしてIC化に適した位相差検出装置を提供することを目的とする。

この目的を達成するために本発明は、撮影レンズを通過した被写体光束から得られる一対の結像の相対的な間隔を検出して該撮像レンズの合焦状態を判別する位相差検出装置において、前記第1の結像を受光するように一列に配置された画素群からなる第1の受光部と、該第1の受光部の夫々の画素に生じる信号を所定方向に転送させると共に、該信号をCCDのフローティングゲートを介して並列的に出力する第1の信号読出部と、該第1の信号読出部から並列的に出力された信号を時系列の第1の被演算信号に変換して出力する手段とを有する第1の信号発生手段と、前記第2の結像を受光するように一列に配置された画素群からなる第2の受光部と、該第2の受光部のそれぞれの画素に生じる信号をCCDのフローティングゲ

とを次式(1)に従って差分演算することにより、相関値 $H(1)$ 、 $H(2) \sim H(J)$ を算出し、この相関値の分布パターンから合焦状態及びピントのずれ量を検出する。

$$H(J) =$$

$$|B(k) - R(k + J - 1)| \quad \dots (1)$$

但し、 $J$ は1以上の整数で、信号 $B(k)$ と $R(k)$ の相対移動量を示す。

## 〔発明が解決しようとする問題点〕

しかしながら、この様な従来の位相差検出装置にあつては、マイクロコンピュータ等を用いてデジタル信号処理による演算を行っているため、高速かつ高精度の演算を行うためには高価なA/D変換器等を必要とし、又、演算を行うマイクロコンピュータ等のビット数の制限に起因するまるめ誤差が生じて演算精度の低下を招来し、更に、演算処理のためのコンピュータプログラム設計の負担が大きくなるとともに多量のデジタルデータを記憶する記憶装置を必要とする等の問題があった。

ートを介して並列的に出力する第2の信号読出部と、該第2の信号読出部から並列的に出力された信号を該第1の被演算信号に対して所定の相対移動量を有する時系列の第2の被演算信号に変換して出力する手段とを有する第2の信号発生手段と、複数の容量素子及びこれらの容量素子間を断接するスイッチング素子群とを有し第1、第2の被演算信号が供給されるスイッチト・キャパシタ積分器と、該第1、第2の被演算信号の大小関係を比較してこれらの信号の大小関係に応じた制御信号を発生し、該制御信号に基づいて上記スイッチング素子群を制御することにより、第1、第2の被演算信号の差の絶対値の積分値に相当する電荷を上記スイッチト・キャパシタ積分器に発生させると共に、上記相対移動量を変化させる毎に所定数の第1、第2の被演算信号に基づく積分値を相関値として発生させる制御手段とを具備したことを特徴とする。

## 〔実施例〕

以下、本発明による位相差検出装置の一実施例

を図面とともに説明する。第1図は、基本構成を示すブロック図であり、位相差の検出が行われる一対の被演算信号R、Bを発生する第1、第2の信号発生手段と、前記第1式と同様の差分演算処理を行う演算手段3及び装置全体の動作を制御する同期信号発生手段4で構成されている。

この位相差検出装置は、一般的には一対の被演算信号間の位相差を検出するものであるから各種用途に利用できるが、この実施例では写真やビデオ等のカメラの自動焦点検出装置に適用した場合について説明する。

まず構成を述べると、第2図において、カメラの光学系に備えられた撮影レンズ5の後方に位置するフィルム等価面6の更に後方にコンデンサレンズ7、セパレータレンズ8が順に配置され、セパレータレンズ8の結像面に第1、第2の信号発生手段1、2が設けられている。

第1、第2の信号発生手段1、2は、例えば本願発明者が先に出願した特願昭61-212720号、同61-212721号、同61-222211号に開示される電

荷蓄積デバイス等が用いられる。第3図は特願昭61-222211号に示される参照イメージセンサと参照読出部を第1の信号発生手段とし、基準イメージセンサと基準読出部を第2の信号発生手段2として適用した場合を示す。

第3図に基づいてその構成を説明すると、第1の信号発生手段1は、セパレータレンズ8よりの一方の結像を受光するフォトダイオードから成る複数の光電変換素子 $D_{r1} \sim D_{rn}$ を有する受光部22、第2の信号発生手段2はセパレータレンズ8よりの他方の結像を受光するフォトダイオードから成る複数の光電変換素子 $D_{b1} \sim D_{bn}$ を有する受光部23を具備しており、受光部22、23は光軸に対して直交する方向に所定の間隔を置いて延設され、更に、各々の受光部22、23に対して蓄積部24、25及びシフトレジスタ部26、27が順に並設されている。

即ち、蓄積部24、25及びシフトレジスタ部26、27は、光電変換素子 $D_{r1} \sim D_{rn}$ 、 $D_{b1} \sim D_{bn}$ に対応した電荷転送エレメント $T_{r1} \sim T_{rn}$ 、 $T_{b1} \sim$

$T_{bn}$ 、 $C_{r1} \sim C_{rn}$ 、 $C_{b1} \sim C_{bn}$ を有するCCD（電荷転送デバイス）から成る。蓄積部24、25は受光部22、23の夫々の光電変換素子 $D_{r1} \sim D_{rn}$ 、 $D_{b1} \sim D_{bn}$ に発生した信号電荷を並列に受け取り、更にシフトレジスタ部26、27へ並列転送する。一方のシフトレジスタ部26はそれを矢印にて示す水平方向へ電荷転送する。尚、シフトレジスタ部26、27の作動は後述するが、他方のシフトレジスタ部27は水平方向への電荷転送を行なわないようになっている。

28、29は受光部22、23から蓄積部24、25へ信号電荷を移動するチャンネル部の表面上に形成された導電層であり、ポリシリコン層で形成されてポテンシャル障壁部となっている。30、31は信号電荷の移動を制御するトランスファゲートである。

更に、夫々の電荷転送エレメント $C_{r1} \sim C_{rn}$ 、 $C_{b1} \sim C_{bn}$ に隣接してフローティングゲート $F_{r1} \sim F_{rn}$ 、 $F_{b1} \sim F_{bn}$ が形成され、夫々のフローティングゲート $F_{r1} \sim F_{rn}$ 、 $F_{b1} \sim F_{bn}$ は、ゲートに制御信号CEが供給されるMOS型FET

$M_{r1} \sim M_{rn}$ 、 $M_{b1} \sim M_{bn}$ を介してリセット端子RESに接続されると共に、ゲートにチャンネル切換信号 $CH_1 \sim CH_n$ が印加されることによりマルチブレイクス動作を行なうMOS型FET $Q_{r1} \sim Q_{rn}$ 、 $Q_{b1} \sim Q_{bn}$ を介して共通接点 $P_r$ 、 $P_b$ に接続され、共通接点 $P_r$ 、 $P_b$ は夫々インピーダンス変換回路32、33を介して出力端子 $P_{r0}$ 、 $P_{b0}$ に接続している。

インピーダンス変換回路32、33は共に同一の回路構成から成り、電源 $V_{DD}$ とアース端子間にドレイン・ソース路を直列接続するMOS型FET $I_{r1}$ 、 $I_{r2}$ 、 $I_{b1}$ 、 $I_{b2}$ と、MOS型FET $I_{r1}$ 、 $I_{b1}$ のゲート・ソース間に並列接続されリフレッシュ信号 $\phi_R$ が印加されると共通接点 $P_r$ 、 $P_b$ を電源 $V_{DD}$ にクランプするMOS型FET $I_{r3}$ 、 $I_{b3}$ を有し、MOS型FET $I_{r2}$ 、 $I_{b2}$ のゲートは所定電位にバイアスされている。

次に、シフトレジスタ部26、27とフローティングゲート $F_{r1} \sim F_{rn}$ 、 $F_{b1} \sim F_{bn}$ の位置関係を第4図に基づいて説明する。第1の信号発生手段1

の受光部22、蓄積部24、シフトレジスタ部26の光電変換素子及び電荷転送エレメントは共に等しいピッチ幅 $W$ で48個ずつ形成され、両側の4個ずつの部分から成る第1、第2ブロック $I_R$ 、 $II_R$ を除く40個の部分から成る第3ブロック $III_R$ の電荷転送エレメント $C_{r1} \sim C_{r40}$ にフローティングゲート $F_{r1} \sim F_{r40}$ が並設され、更に32個のフローティングゲート $F_{r1} \sim F_{r32}$ から成る第4ブロック $IV_R$ と、残りの第5ブロック $V_R$ に分類されている。そして、フローティングゲート $F_{r1} \sim F_{r40}$ の一端は、第3図のMOS型FET  $M_{r1}$ 、 $M_{r2}$ 、…を介してリセット端子RESに接続され、その内のフローティングゲート $F_{r1} \sim F_{r32}$ が第3図のMOS型FET  $Q_{r1} \sim Q_{rn}$ を介して接点Prに接続されている。即ち、第3図の第1の信号発生手段1には、第4図の第3、第4ブロック $III_R$ 、 $IV_R$ の部分我代表して示し、他の $I_R$ 、 $II_R$ 、 $V_R$ の部分の記載は省略してあるが、これらは信号電荷を水平方向へ転送する際などに作動する予備の領域となっている。

ティングゲートの構造を第5図の概略断面図に基づいて説明する。

第5図において、N型半導体基板の表面部分に形成されたP型拡散層(P-well)の一部に複数の $N^+$ 型層が形成されることで受光部22(23)の光電変換素子群が構成されている。又、半導体基板上には $SiO_2$ 層(図示せず)を介して、隔壁部28(29)、蓄積部24(25)の各電荷転送エレメントを構成する転送ゲート電極層、トランスファゲート30(31)を構成するゲート電極層及び、シフトレジスタ部26(27)の各電荷転送エレメントを構成する転送ゲート電極層が並設されている。更に、シフトレジスタ部26、27の隣りには、フローティングゲート $F_{r1} \sim F_{rn}$ 、 $F_{b1} \sim F_{bn}$ を構成するポリシリコン層及び電源 $V_{DD}$ にクランプされる電極層A1が積層されている。この電極層A1は、複数形成されるフローティングゲート $F_{r1} \sim F_{rn}$ 、 $F_{b1} \sim F_{bn}$ の上面全体を覆うように形成されている。そして、各フローティングゲートの

一方、第2の信号発生手段2の受光部23、蓄積部25、シフトレジスタ部27の光電変換素子及び電荷転送エレメントは共に等しいピッチ幅 $W$ (第1の信号発生手段1とも等しい)で40個ずつ形成され、両側の4個ずつの部分から成る第1、第2ブロック $I_B$ 、 $II_B$ を除く第3ブロック $III_B$ の電荷転送エレメント $C_{b1} \sim C_{b32}$ に隣接してフローティングゲート $F_{b1} \sim F_{b32}$ が並設されている。そして、フローティングゲート $F_{b1} \sim F_{b32}$ の夫々の一端は、第3図のMOS型FET  $M_{b1} \sim M_{bn}$ 、 $Q_{b1} \sim Q_{bn}$ に接続している。即ち、第3図の第2信号発生手段2は第4図の第3ブロック $III_B$ について示されている。

又、受光部22は光軸に対して距離 $d_1$ だけ離れて形成され、受光部23は距離 $d_1$ に4ピッチ幅 $4W$ を加算した距離 $d_2 (= d_1 + 4W)$ だけ離れて形成されている。

この実施例による位相差検出装置は、半導体集積回路装置としてIC化されるものであり、第3図及び第4図の信号発生手段1、2及びフロー

一端に、MOS型FET  $M_{r1} \sim M_{rn}$ 、 $M_{b1} \sim M_{bn}$ が接続している。

ここで、リセット端子RESに印加されるリセット信号 $\phi_{FG}$ を電源 $V_{DD}$ と等しい電位にして“H”レベルの制御信号CEによりMOS型FET  $M_{r1} \sim M_{rn}$ 、 $M_{b1} \sim M_{bn}$ を介してフローティングゲート $F_{r1} \sim F_{rn}$ 、 $F_{b1} \sim F_{bn}$ を電源 $V_{DD}$ にクランプした後、再びMOS型FET  $M_{r1} \sim M_{rn}$ 、 $M_{b1} \sim M_{bn}$ を遮断状態にすると、第5図中の点線で示すように半導体基板内に深いポテンシャル井戸が形成され、シフトレジスタ部26(27)の信号電荷がフローティングゲート下の領域へ流入する。この流入した信号電荷の夫々の電荷量に応じた電圧変化が夫々のフローティングゲート $F_{r1} \sim F_{rn}$ ( $F_{b1} \sim F_{bn}$ )に生じ、受光部22(23)上の結像パターンを電圧信号として検出することができる。

一方、リセット端子RESをアース電位にしてからMOS型FET  $M_{r1} \sim M_{rn}$ ( $M_{b1} \sim M_{bn}$ )をオンにすることによりフローティングゲート

$F_{r1} \sim F_{rn}$  ( $F_{b1} \sim F_{bn}$ ) を“L”レベルにすると、フローティングゲート下の領域のポテンシャル井戸が浅くなり、再び信号電荷をシフトレジスタ部26(27)へ戻すことができる。このような信号電荷の移動は非破壊的に行なわれるので、信号電荷の読出しを何回も繰返すことができる。

そして、このようにフローティングゲート  $F_{r1} \sim F_{rn}$  ( $F_{b1} \sim F_{bn}$ ) を介して発生する信号を、MOS型FET  $Q_{r1} \sim Q_{rn}$  ( $Q_{b1} \sim Q_{bn}$ ) マルチプレックス動作により時系列の信号  $R(k)$ 、 $B(k)$  に変換して各出力端子  $P_{r0}$ 、 $P_{b0}$  に出力する。

次に、第1図に示す演算手段3の構成を第6図に基づいて説明する。この演算手段はスイッチト・キャパシタ積分器から成り、第1の信号発生手段1の出力端子  $P_{r0}$  (第3図参照) より延設された信号線が、互いに直列接続されたスイッチング素子40、容量素子  $C_{s1}$  及びスイッチング素子41を介して差動積分器42の反転入力端子に接続され、

$R(k) < B(k)$  の時は“L”レベルの極性信号  $S_{gn}$  を出力し、この極性信号  $S_{gn}$  のレベルに従ってセレクト信号  $\phi_1$ 、 $\phi_2$ 、 $KA$ 、 $KB$  の電圧レベルが決定されるようになっている。

次に、かかる構成の演算手段の作動を第7図のタイミングチャートに基づいて説明する。

まず、図示していないリセット手段よりのリセット信号  $\phi_{rst}$  によりスイッチング素子50が「オン」となって容量素子  $C_1$  の不要電荷を放電した後、再びスイッチング素子50を「オフ」にして第7図に示す動作が開始される。

第1、第2の信号発生手段1、2からは同図(A)に示すように所定の周期で被演算信号  $R(k)$ 、 $B(k)$  が出力される。時刻  $t_1$  ないし  $t_2$  の期間のように被演算信号が  $R(k) \geq B(k)$  の関係にあると極性信号  $S_{gn}$  は“H”となり、同図(B)、(C)、(D)、(E)に示すような矩形波のセレクト信号  $\phi_1$ 、 $\phi_2$ 、 $KA$ 、 $KB$  が発生される。ここでセレクト信号  $\phi_1$  と  $\phi_2$  は、 $KA$  と  $KB$  は相互に同時には“H”とはならないタイミングで発生する。一方、

容量素子  $C_{s1}$  の両端がスイッチング素子43、44を介してグランド端子に接続されている。一方、第2の信号発生手段2の出力端子  $P_{b0}$  (第3図参照) より延設された信号線が、互いに直列接続するスイッチング素子45、容量素子  $C_{s2}$  及びスイッチング素子46を介して差動積分器42の反転入力端子に接続され、容量素子  $C_{s2}$  の両端がスイッチング素子47、48を介してグランド端子に接続されている。差動積分器42の反転入力端子と出力端子49との間には、相互に並列接続したスイッチング素子50と容量素子  $C_1$  が接続されている。

更に、出力端子  $P_{r0}$ 、 $P_{b0}$  より延設された信号線にはアナログコンパレータ51の反転・非反転入力端子が接続され、その出力端子がチャネルセレクト回路52の入力端子に接続し該セレクト回路52はスイッチング素子40、41、43、44、45、46、47、48の「オン」、「オフ」を制御するセレクト信号  $\phi_1$ 、 $\phi_2$ 、 $KA$ 、 $KB$  を発生する。

アナログコンパレータ51は被演算信号のレベルが  $R(k) \geq B(k)$  の時は“H”レベル、

時刻  $t_3$  ないし  $t_4$  の期間のように被演算信号が  $R(k) < B(k)$  の関係にあると極性信号  $S_{gn}$  は“L”となり、時間  $t_1$  ないし  $t_2$  とは位相が逆のセレクト信号  $KA$ 、 $KB$  が発生する。尚、セレクト信号  $\phi_1$ 、 $\phi_2$  は極性信号  $S_{gn}$  のレベルにかかわらず同じタイミングで発生する。

これらのセレクト信号  $\phi_1$ 、 $\phi_2$ 、 $KA$ 、 $KB$  により期間  $t_1 \sim t_2$  の前半の周期  $T_{F1}$  ではスイッチング素子44、48及びスイッチング素子40、47が「オン」となり、被演算信号  $R(k)$  が容量素子  $C_{s1}$  に充電され、容量素子  $C_{s2}$  の不要電荷が放電される。次に期間  $t_1 \sim t_2$  の後半の周期  $T_{R1}$  においてはスイッチング素子43、41が「オン」となるので容量素子  $C_{s1}$  と容量素子  $C_1$  の電荷が結合され、更にこれと同時にスイッチング素子45、46が「オン」、スイッチング素子47、48が「オフ」となるので、被演算信号  $B(k)$  が容量素子  $C_{s2}$  を介して作動積分器42へ供給される。この結果、次式(2)に示す電荷  $q(k)$  が容量素子  $C_1$  に蓄積される。

$$q(k) =$$

$$\frac{C_1}{C_{s1}} \cdot R(k) - \frac{C_1}{C_{s2}} \cdot B(k) \quad \dots (2)$$

一方、時刻  $t_3$  ないし  $t_4$  のように被演算信号が  $R(k) < B(k)$  の場合には、該期間  $t_3 \sim t_4$  の前半の周期  $T_{F2}$  においてスイッチング素子 44、48 及びスイッチング素子 43、45 が「オン」となり、被演算信号  $B(k)$  が容量素子  $C_{s2}$  に充電され、容量素子  $C_{s1}$  の不要電荷が放電される。次に期間  $t_3 \sim t_4$  の後半の周期  $T_{R2}$  においてはスイッチング素子 47、46 が「オン」となるので容量素子  $C_{s2}$  と容量素子  $C_1$  の電荷が結合され、更にこれと同時にスイッチング素子 40、41 が「オン」、スイッチング素子 43、44 が「オフ」となるので、被演算信号  $R(k)$  が容量素子  $C_{s1}$  を介して差動積分器 42 へ供給される。この結果、次式 (3) に示す電荷  $q(k)$  が容量素子  $C_1$  に蓄積される。

$$q(k) =$$

$$\frac{C_1}{C_{s2}} \cdot B(k) - \frac{C_1}{C_{s1}} \cdot R(k) \quad \dots (3)$$

上記式 (2)、(3) から明らかなように、この演算手段は必ずレベルの大きな被演算信号からレベルの小さな被演算信号を減算した値に相当する電荷を容量素子  $C_1$  に蓄積するので、時系列の被演算信号  $R(1), \dots, R(n), B(1), \dots, B(n)$  について処理を繰り返して行なうと、次式 (4) に示すように、これらの信号の差の絶対値  $H$  が出力端子 49 に電圧として得られる。

$$H =$$

$$\sum_{k=1}^n \left| \frac{C_1}{C_{s2}} \cdot B(k) - \frac{C_1}{C_{s1}} \cdot R(k) \right| \quad \dots \dots \dots (4)$$

次に、第 3 図に示す第 1、第 2 の信号発生手段 1、2 は、上記式 (4) の演算を完了すると、第 1 の信号発生手段 1 のシフトレジスタ部 26 に保持されている信号電荷を他方のシフトレジスタ部 27

の信号電荷に対して 1 ビッチ分電荷転送し、その相互に位相のずれた信号電荷を再び時系列的に読出して上記式 (4) の演算処理を行なう。そして更にシフトレジスタ部 26、27 の信号電荷の位相をずらしこれを繰り返して行なう。この位相のずれは前記の相対移動量  $l$  に相当し、この移動量  $l$  を順次変化させた時の相関値は次式 (5) として得ることができ、出力端子 49 より電圧として検出される。

$$H(l) = \sum_{k=1}^n \left| \frac{C_1}{C_{s2}} \cdot B(k) - \frac{C_1}{C_{s1}} \cdot R(k+l-1) \right| \quad \dots \dots \dots (5)$$

即ち、上記式 (5) は前記式 (1) に相当し、相関値  $H(1), H(2), \dots, H(l)$  をアナログ信号処理にて求められている。

そして、これらの相関値の分布パターンから位相差の検出を行なうことができる。例えば、第 8 図 (a) ~ (b) はカメラの自動焦点検出装置に適用した場合の相関値のパターンを示すが、同図 (a) のように、相当移動量が  $l = 4$  で最大の相関値と

なる場合を合焦状態とすれば、それより小さい相対移動量 ( $l = 2$ ) の時に最大の相関値が得られれば前ピン状態、それより大きい相対移動量 ( $l = 6$ ) の時に最大の相関値が得られれば後ピン状態であると判別することができる。

[発明の効果]

以上説明したように本発明によれば、撮影レンズを通過した被写体光束から得られる 1 対の結像の相対的な間隔を検出して該撮像レンズの合焦状態を判別する位相差検出装置において、夫々の結像を光電変換することによって生じた信号を CCD に蓄積し、該 CCD に設けられたフローティングゲートを介して非破壊的に出力するようにしたので、別個に大規模な記憶装置を設ける必要がなく、装置の小形化を可能とする。又、該出力された信号の相関値を演算するのに容量素子による電荷結合の手法を用いているので、演算が極めて高速かつ高精度に行なうことができる。そして、回路構成が簡素であり、半導体集積回路技術を用いれば該容量素子の相対精度を向上すること



ができるので、この発明の位相差検出装置を半導体集積回路装置として製造するのに適している。

#### 4. 図面の簡単な説明

第1図は本発明による位相差検出装置の実施例の基本構成を示すブロック図、第2図は第1図に示す基本構成において自動焦点検出装置に適用した場合の全体構成を示す概略構成図、第3図は第1図における第1、第2信号発生手段の実施例を示すブロック図、第4図は第3図に示す第1、第2信号発生手段の受光部、蓄積部、シフトレジスタ部の構成を示す概略構成図、第5図は第1、第2信号発生手段の動作原理を示す要部断面図、第6図は第1図の演算手段の構成を示す回路図、第7図は第6図に示す演算手段の作動を説明するためのタイミングチャート、第8図はこの実施例により得られる相関値の分布パターンに基づいて合焦状態を判別する場合の原理を示す説明図である。

1：第1の信号発生手段

2：第2の信号発生手段

3：演算手段

4：同期信号発生手段

22, 23：受光部

24, 25：蓄積部

26, 27：シフトレジスタ部

32, 33：インピーダンス変換回路

40, 41, 43, 44, 45, 46, 47, 48, 50:

スイッチング素子

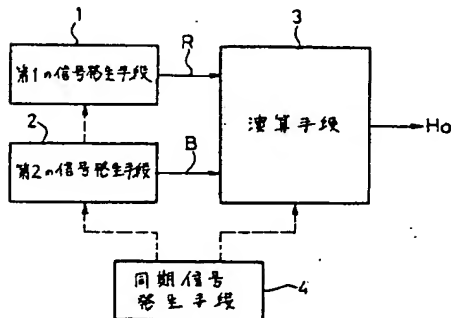
42：差動積分器

51：アナログコンパレータ

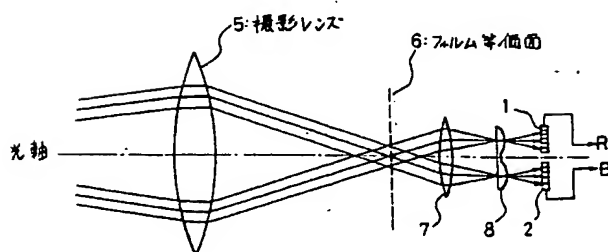
52：チャンネルセレクト回路

代理人 弁理士(8107)佐々木 清隆(他3名)

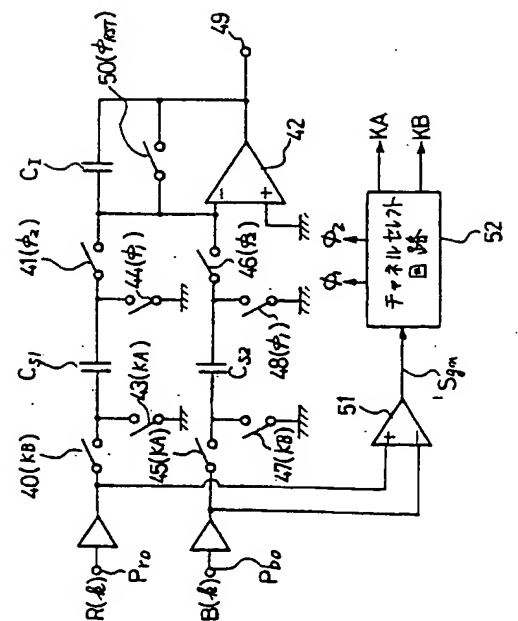
第 1 図



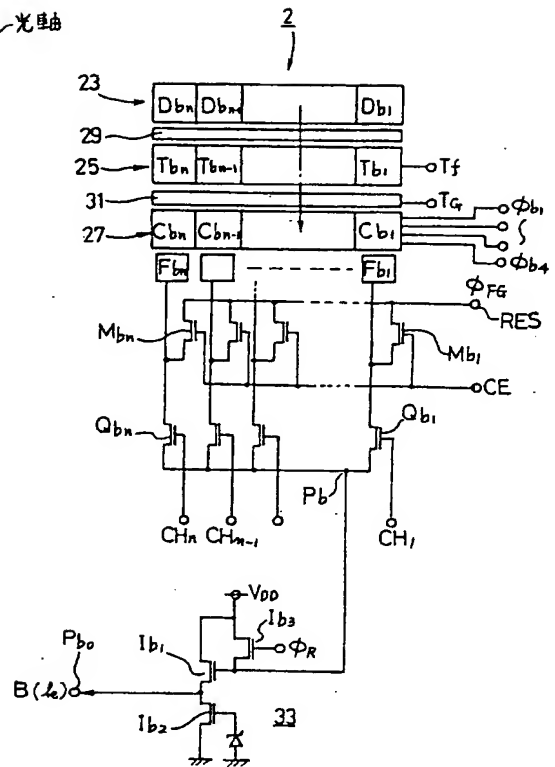
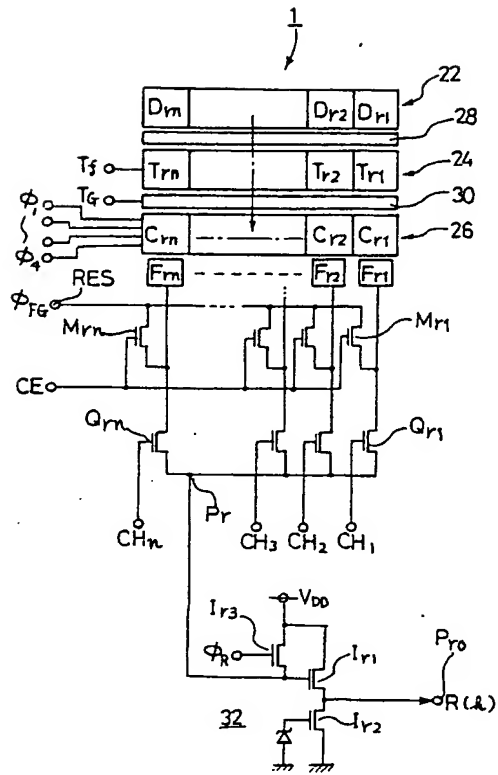
第 2 図



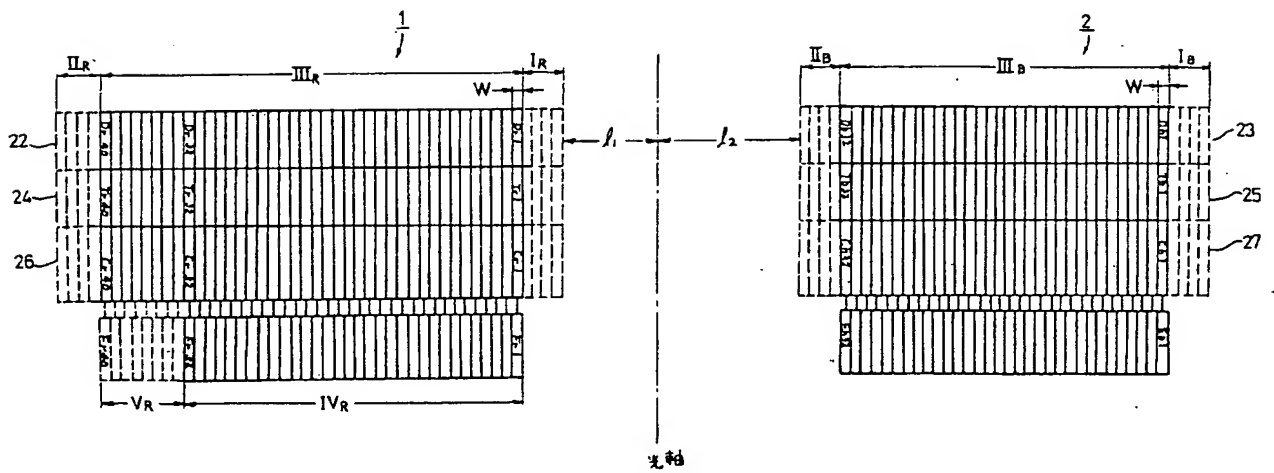
第 6 図



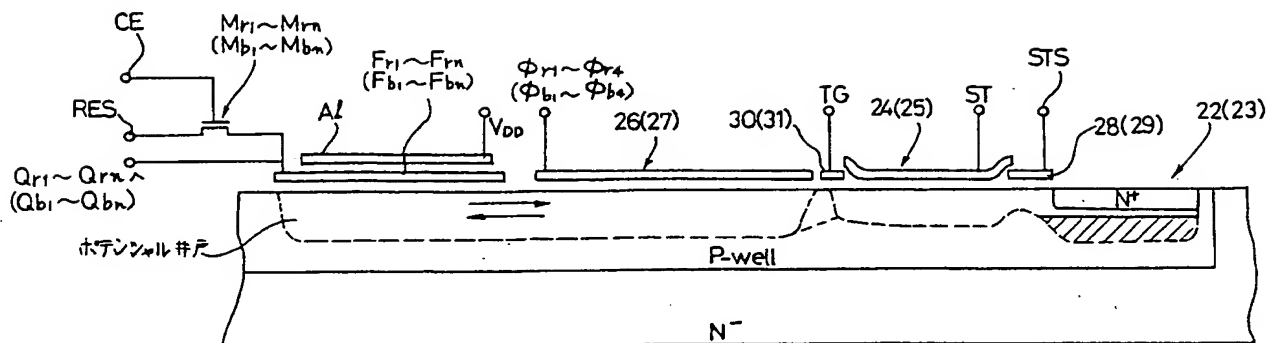
第 3 図



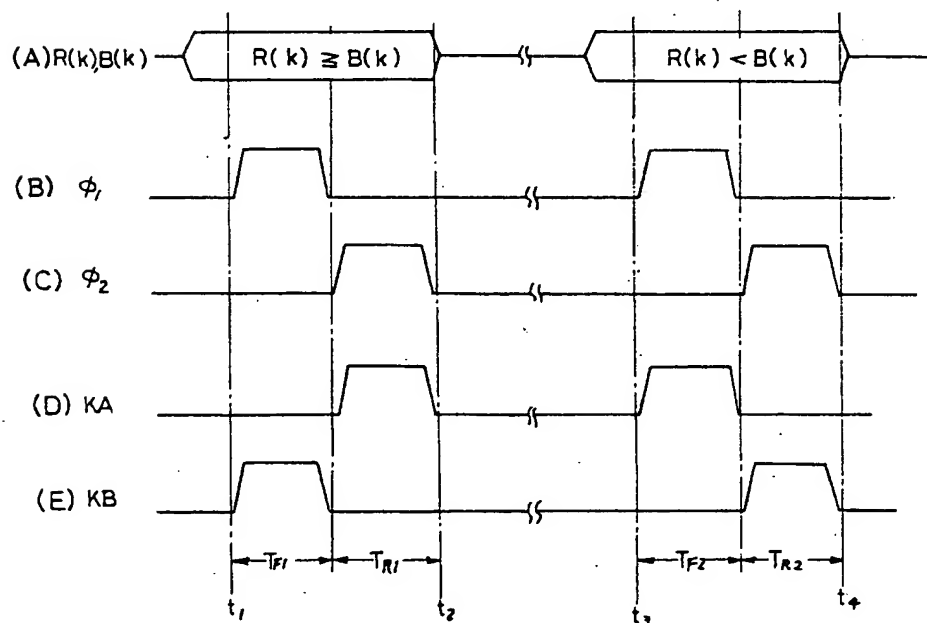
第 4 図



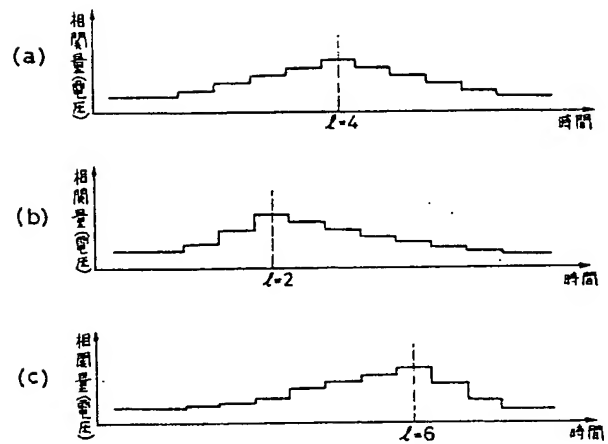
第 5 図



第 7 図



第 8 図



第1頁の続き

⑦発 明 者 高 坂 国 光 神奈川県川崎市中原区上小田中1015番地 富士通株式会社  
内

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☐ BLACK BORDERS

☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES

☒ FADED TEXT OR DRAWING

☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING

☐ SKEWED/SLANTED IMAGES

☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS

☐ GRAY SCALE DOCUMENTS

☒ LINES OR MARKS ON ORIGINAL DOCUMENT

☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY

☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**

THIS PAGE BLANK (USPTO)